

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0040

Applicant: Jong Han SHIN et al. Confirmation No.:
Appl. No.: Unassigned Examiner: Unassigned
Filing Date: Concurrently Herewith Art Unit: Unassigned
Title: METHOD FOR MANUFACTURING CAPACITOR OF
SEMICONDUCTOR DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0043813 filed June 30, 2003

Respectfully submitted,

Date: 11-26-03

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By 
s. Johnny A. Kumar
33,715
Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0043813
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

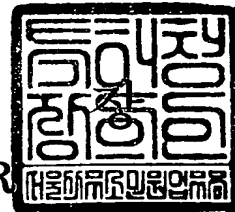
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 09 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0015
【제출일자】	2003.06.30
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Manufacturing method for semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	신종한
【성명의 영문표기】	SHIN, Jong Han
【주민등록번호】	700505-1822711
【우편번호】	134-812
【주소】	서울특별시 강동구 길1동 351-10 삼성맨션 A동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이상익
【성명의 영문표기】	LEE, Sang Ick
【주민등록번호】	640325-1109921

【우편번호】 467-860
【주소】 경기도 이천시 부발읍 아미리 753 현대7차아파트 704-1901
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
황의인 (인) 대리인
이정훈 (인)
【수수료】
【기본출원료】 13 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 394,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로서, 귀금속을 전하저장전극으로 사용하여 정전용량을 증가시키기 위하여 접착층을 필요로하는 반도체소자에서 공정순서를 변경하여 자기정렬적으로 접착층이 콘택 오픈하도록하였으므로, 접착층의 사진 식각에 따른 오차에 의한 접착 면적 감소를 방지하여 귀금속 전하저장전극의 들뜸이나 이탈등을 방지하고, 장벽금속층의 노출에 의한 산화를 방지하여 콘택 저항 증가를 방지하여 공정수율 및 소자의 신뢰성을 향상시킬 수 있는 이점이 있다.

【대표도】

도 3d

【명세서】**【발명의 명칭】**

반도체소자의 제조방법 {Manufacturing method for semiconductor device}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 접착층 없이 TiN 산화가 발생한 상태의 SEM 사진.

도 2는 종래 기술에 따라 접착층에 인접한 TiN에 산화가 발생한 상태의 SEM 사진.

도 3a 내지 도 3d는 본 발명에 따른 반도체소자의 제조 공정도.

도 4는 본 발명에 따라 접착층에 인접한 TiN 산화가 방지된 상태의 SEM 사진.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 반도체기판

12 : 층간절연막

14 : 접착층

16 : 하드마스크층

18 : 콘택홀

20 : 콘택플러그

22 : 장벽금속층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 접착성이 떨어지는 귀금속을 하부전극으로 사용하는 반도체소자의 캐패시터에서 접착성 향상을 위하여 사용되는 접착층이 자기정렬적으로 콘택 오픈 되도록하여 접착층의 면적 감소에 의한 접착성 저하를 방지하고, 장벽금속층의 산화에 의한 저항증가등을 방지할 수 있는 반도체소자의 제조방법에 관한 것이다.

- <11> 일반적으로 DRAM의 기억 소자에서 캐패시터는 정보를 기억하고 판독하기 위해 일정량의 전하를 저장하는 기능을 수행한다. 따라서 캐패시터는 충분한 정전용량을 확보하여야하고, 누설전류가 적은 유전체막의 절연 특성을 가져야하며, 장시간 반복사용되는데 대한 신뢰성도 함께 지니고 있어야한다.
- <12> 캐패시터의 정전용량은 표면적에 비례하고, 유전막의 두께에 반비례하는데, 소자가 고집적화되어감에 따라 단위 소자의 할당 면적이 감소되므로 캐패시터의 정전용량 확보가 점차 어려워지고 있으며, 이를 위하여 캐패시터의 높이는 증가되고, 인접 셀과의 공정 마진도 감소되고 있다.
- <13> 이러한 캐패시터의 정전용량증가를 위하여 하부전극을 귀금속층을 사용하고, 유전막을 고유전체막으로 사용하는등의 새로운 물질 개발이 이루어지고 있으며, 이에 따라 공정상의 순서나 마진등도 변화되고 있다.
- <14> 도시되어있지는 않으나, 종래 기술에 따른 반도체소자의 제조 방법을 살펴보면 다음과 같다.
- <15> 먼저, 반도체기판상에 전하저장전극 콘택홀을 구비하는 층간절연막을 형성하고, 상기 콘택홀내에 텅스텐 콘택플러그를 형성하여 일정 깊이를 메운후, 상기 구조의 전표면에 장벽금속층인 TiN층을 형성한다.
- <16> 그다음 상기 TiN층의 상부를 CMP 방법으로 식각하여 콘택홀의 내부에만 남도록한 후, 상기 구조의 전표면에 접착층인 알루미늄층을 도포하고, 사진식각 공정으로 콘택홀 부분의 알루미늄층을 제거하여 TiN층을 노출시킨다.

<17> 그후 상기 TiN층과 접촉되는 귀금속층 패턴으로된 전하저장전극을 접착층상에 형성한다.

<18> 상기와 같은 종래 기술에 따른 반도체소자의 제조방법은, 캐패시터의 정전용량 확보를 위하여 귀금속층을 전하저장전극으로 사용하기 위하여 절연층인 접착층과 텅스텐 콘택 플러그를 형성하고 있으나, 접착층의 콘택 오픈 공정시 사진 공정의 공정마진 여유도가 감소되어, 오정렬이 발생되면 접착층과 전하저장전극의 접촉 면적이 감소되어 Ir/Pt의 적층 구조로 형성되는 귀금속 전하저장전극의 들뜸 불량 발생되고, 오정렬되어 노출된 TiN이 후속 공정에서 산화되어 도 1에서와 같이 접착층이 없는 경우는 물론, 도 2에서와 같이 접착층상부에 산화막이 존재하는 경우에도 산화TiN이 형성되어 콘택 저항을 증가시키는 등의 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 귀금속 전하저장전극을 구비하는 반도체소자에서 접착층이 자지정렬적으로 콘택 오픈되도록하여 접착층의 면적 감소를 방지하고, 장벽금속층 에지 부분의 산화도 방지할 수 있는 반도체소자의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<20> 본발명은 상기와 같은 목적을 달성하기 위한 것으로서, 본발명에 따른 반도체소자의 제조방법의 특징은,

<21> 반도체기판상에 층간절연막을 형성하는 공정과,

<22> 상기 층간절연막 상에 접착층과 하드마스크층을 순차적으로 형성하는 공정과,

- <23> 상기 반도체기판에서 전하저장전극 콘택으로 예정되어있는 부분상의 하드마스크층에서
층간절연막까지를 사진식각방법으로 순차적으로 제거하여 전하저장전극 콘택홀을 형성하는 공
정과,
- <24> 상기 콘택홀을 일정 깊이 메우는 텅스텐 재질의 콘택플러그를 형성하는 공정과,
- <25> 상기 콘택플러그상에 장벽금속층을 형성하는 공정과,
- <26> 상기 장벽금속층의 상부 표면을 식각하여 접착층상의 장벽금속층을 제거하는 공정과,
- <27> 상기 하드마스크층을 제거하는 공정과,
- <28> 상기 장벽금속층과 접촉되는 귀금속 재질의 전하저장전극을 접착층상에 형성하는 공정을
구비함에 있다.
- <29> 또한 본 발명의 다른 특징은, 상기 접착층이 50~300Å 두께의 알루미늄 재질이고, 상기
하드마스크층이 100~500Å 두께의 질화막 계열 재질이며, 상기 장벽금속층은 1500~2000Å
두께의 TiN, TiAlN 또는 TiSiN 재질이며, 상기 CMP 공정은 pH2~6 범위의 산성 금속 슬러리를
이용하며, 슬러리에는 산화막 또는 알루미늄 재질의 연마제가 포함되어 있으며, 상기 하드마스
크층 제거 공정은 140~180℃ 의 인산을 이용하며, 상기 귀금속 전하저장전극은 Ir 또는 Pt 로
형성하는 특징으로 한다.
- <30> 이하, 본 발명에 따른 반도체소자의 제조방법에 관하여 첨부도면을 참조하여 상세히 설
명하면 다음과 같다.
- <31> 도 3a 내지 도 3d는 본 발명에 따른 반도체소자의 제조 공정도이다.
- <32> 먼저, 소정하부 구조물들(도시되지 않음)이 형성되어있는 반도체기판(10)상에 상부가 평
탄화된 층간절연막(12)을 형성하고, 상기 층간절연막(12)상에 알루미늄 재질의 접착층(14)과

질화막 계열의 하드마스크층(16)을 순차적으로 형성한다. 여기서 상기 하드마스크층(16)을 질화막 계열로 형성하는 것은 후속 공정에서 다른 층들의 산화를 방지하고 CMP 공정에서의 식각장벽이 되도록하기 위한 것이다. 여기서 접착층(14)은 50~300Å의 알루미늄으로 형성하며, 상기 하드마스크층(16)은 플라즈마 유도 실리콘질화막이나, 저압 실리콘 질화막, 산화질화막 및 TaN 등의 질화계 물질로 100~500Å 두께로 형성한다. 또한 상기 층간절연막(12)의 평탄화는 실리콘계 슬러리를 이용한 CMP 방법으로 실시할 수도 있다. (도 3a 참조).

<33> 그다음 상기 반도체기판(10)에서 전하저장전극 콘택으로 예정되어있는 부분상의 하드마스크층(16)에서 층간절연막(12)까지를 사진식각방법으로 순차적으로 제거하여 전하저장전극 콘택홀(18)을 형성한 후, 상기 콘택홀(18)을 일정 깊이 메우는 텅스텐 재질의 콘택플러그(20)를 형성한다. (도 3b 참조).

<34> 그후 상기 구조의 전표면에 TiN, TiAlN 또는 TiSiN 재질의 장벽금속층(22)을 1500~2000 Å 도포한 후, pH2~6 범위의 산성 금속 슬러리를 이용한 CMP 공정으로 콘택홀(18) 부분을 제외한 나머지 부분의 장벽금속층(22)을 제거한다. 이때 하드마스크층(16)이 식각장벽이 되며, 슬러리에는 산화막이나 알루미늄 재질의 연마제가 포함되며, CMP 후 잔존 레시듀 제거를 위하여 $\text{NH}_4\text{OH} + \text{HF}$ 또는 SC-1 용액으로 세정을 할수도 있다. (도 3c 참조).

<35> 그다음 상기 하드마스크층(16)을 140~180℃ 정도의 고온 인산을 이용하여 제거한다. (도 3d 참조).

<36> 그후, 상기 장벽금속층(22)과 접촉되는 Ir, Pt 등의 귀금속 재질로된 전하저장전극(도시되지 않음)을 접착층(14)상에 형성한다. 이때 도 4에 도시된 바와 같이 TiN의 산화는 일어나지 않는다.

【발명의 효과】

<37> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체소자의 제조방법은, 귀금속을 전하저장전극으로 사용하여 정전용량을 증가시키기 위하여 접착층을 필요로하는 반도체소자에서 공정 순서를 변경하여 자기정렬적으로 접착층이 콘택 오픈하도록하였으므로, 접착층의 사진 식각에 따른 오차에 의한 접착 면적 감소를 방지하여 귀금속 전하저장전극의 들뜸이나 이탈등을 방지하고, 장벽금속층의 노출에 의한 산화를 방지하여 콘택 저항 증가를 방지하여 공정수율 및 소자의 신뢰성을 향상시킬 수 있는 이점이 있다.

【특허청구범위】**【청구항 1】**

반도체기판상에 층간절연막을 형성하는 공정과,

상기 층간절연막 상에 접착층과 하드마스크층을 순차적으로 형성하는 공정과,

상기 반도체기판에서 전하저장전극 콘택으로 예정되어있는 부분상의 하드마스크층에서 층간절연막까지를 사진식각방법으로 순차적으로 제거하여 전하저장전극 콘택홀을 형성하는 공정과,

상기 콘택홀을 일정 깊이 메우는 텅스텐 재질의 콘택플러그를 형성하는 공정과,

상기 콘택플러그상에 장벽금속층을 형성하는 공정과,

상기 장벽금속층의 상부 표면을 식각하여 접착층상의 장벽금속층을 제거하는 공정과,

상기 하드마스크층을 제거하는 공정과,

상기 장벽금속층과 접촉되는 귀금속 재질의 전하저장전극을 접착층상에 형성하는 공정을 구비하는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 2】

제1항에 있어서,

상기 접착층이 50~300Å 두께의 알루미늄 재질인 것을 특징으로하는 반도체소자의 제조방법.

【청구항 3】

제1항에 있어서,

상기 하드마스크층이 100~500Å 두께의 질화막 계열 재질인 것을 특징으로하는 반도체 소자의 제조방법.

【청구항 4】

제3항에 있어서,

상기 하드마스크층은 플라즈마 유도 실리콘질화막, 저압 실리콘 질화막, 산화질화막 및 TaN 로 이루어지는 군에서 선택되는 하나의 재질로 형성되는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 5】

제1항에 있어서,

상기 장벽금속층은 1500~2000Å 두께의 TiN, TiAlN 및 TiSiN 으로 이루어지는 군에서 선택되는 하나의 재질인 것을 특징으로하는 반도체소자의 제조방법.

【청구항 6】

제1항에 있어서,

상기 CMP 공정은 pH2~6 범위의 산성 금속 슬러리를 이용하며, 슬러리에는 산화막 또는 알루미나 재질의 연마제가 포함되어 있는 것을 특징으로하는 반도체소자의 제조방법.

【청구항 7】

제1항에 있어서,

상기 하드마스크층 제거 공정은 140~180℃ 의 인산을 이용하는 것을 특징으로하는 반도체소자의 제조방법.

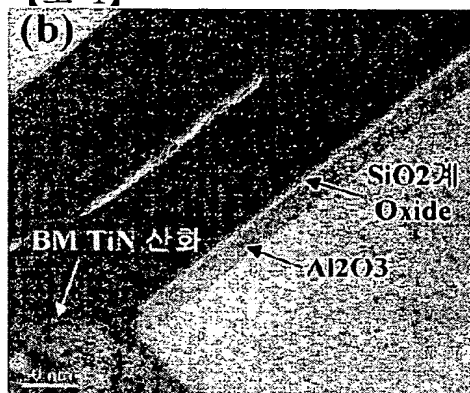
【청구항 8】

제1항에 있어서,

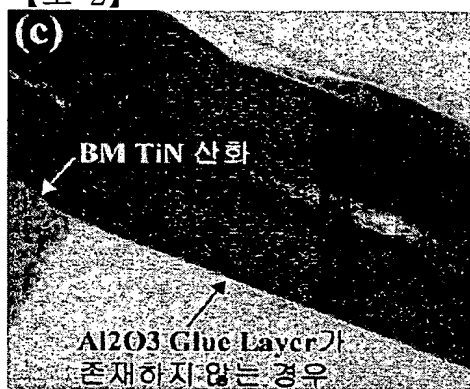
상기 귀금속 전하저장전극은 Ir 또는 Pt 인 것을 특징으로하는 반도체소자의 제조방법.

【도면】

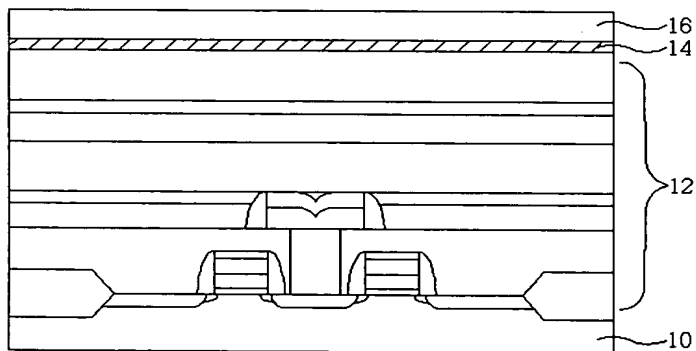
【도 1】



【도 2】

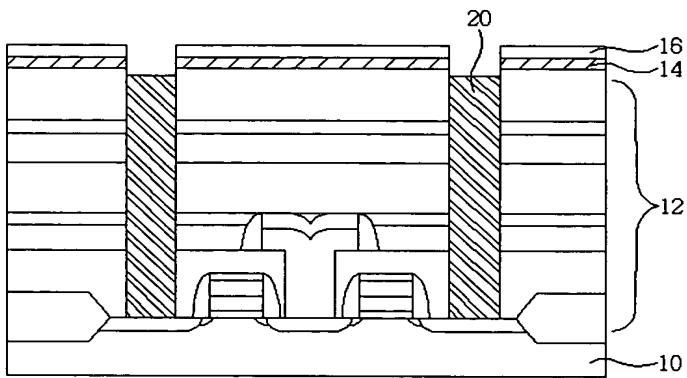


【도 3a】

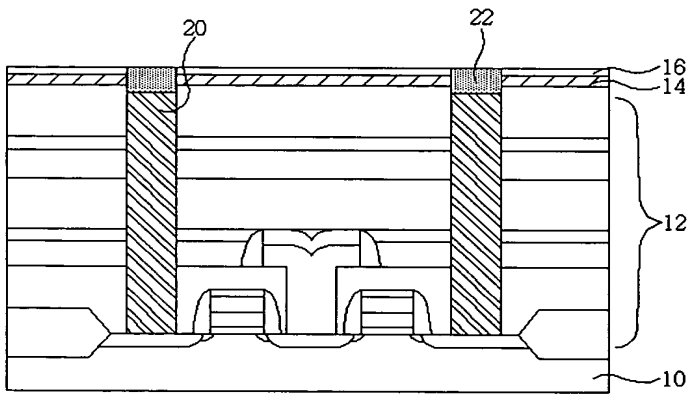


BEST AVAILABLE COPY

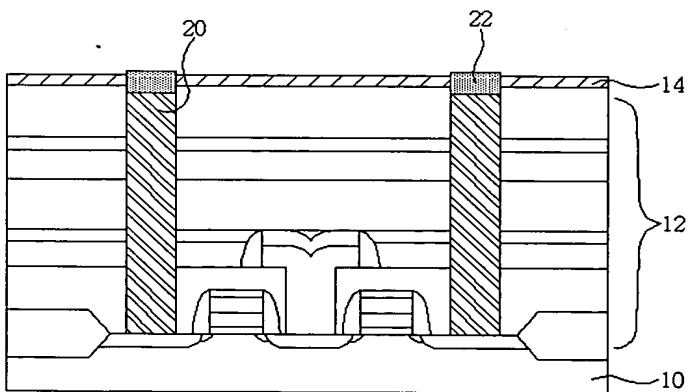
【도 3b】



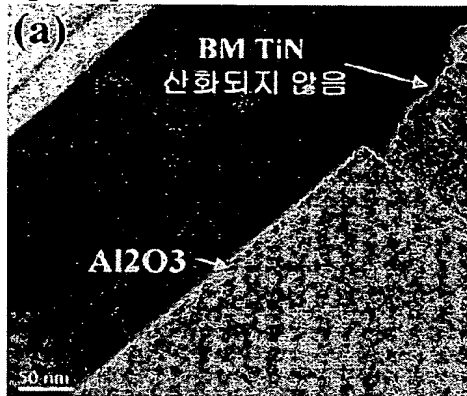
【도 3c】



【도 3d】



【도 4】



BEST AVAILABLE COPY